

## Ejercicio 1.

El circuito de la figura es un comparador binario de dos números A ( $A_0, A_1$ ) y B ( $B_0, B_1$ ) de dos bits. Las salidas (M, m, I) toman el valor lógico "1" cuando  $A > B$ ,  $A < B$  y  $A = B$ , respectivamente.

Obten las funciones lógicas de cada salida y simplifícalas por Karnaugh.

### Solución.

La tabla de verdad será:

A	B	C	D	M	m	I	A	B	C	D	M	m	I
0	0	0	0	0	0	1	1	0	0	0	1	0	0
0	0	0	1	0	1	0	1	0	0	1	1	0	0
0	0	1	0	0	1	0	1	0	1	0	0	0	1
0	0	1	1	0	1	0	1	0	1	1	0	1	0
0	1	0	0	1	0	0	1	1	0	0	1	0	0
0	1	0	1	0	0	1	1	1	0	1	1	0	1
0	1	1	0	0	1	0	1	1	1	0	1	0	1
0	1	1	1	0	1	0	1	1	1	1	0	0	1

Las funciones canónicas serán:

$$M = \bar{A}_0 A_1 \bar{B}_0 \bar{B}_1 + A_0 \bar{A}_1 \bar{B}_0 \bar{B}_1 + A_0 \bar{A}_1 \bar{B}_0 B_1 + A_0 A_1 \bar{B}_0 \bar{B}_1 + A_0 A_1 \bar{B}_0 B_1 + A_0 A_1 B_0 \bar{B}_1$$

$$m = \bar{A}_0 \bar{A}_1 \bar{B}_0 B_1 + \bar{A}_0 \bar{A}_1 B_0 \bar{B}_1 + \bar{A}_0 \bar{A}_1 B_0 B_1 + \bar{A}_0 A_1 B_0 \bar{B}_1 + \bar{A}_0 A_1 B_0 B_1 + A_0 \bar{A}_1 B_0 B_1$$

$$I = \bar{A}_0 \bar{A}_1 \bar{B}_0 \bar{B}_1 + \bar{A}_0 A_1 \bar{B}_0 B_1 + A_0 \bar{A}_1 B_0 \bar{B}_1 + A_0 A_1 B_0 B_1$$

Si completamos los mapas de Karnaugh tendremos:

AB \ CD	00	01	11	10
00		1	1	1
01			1	1
11				
10			1	

La función resultante para M:

$$M = A_0 \bar{B}_0 + A_0 A_1 \bar{B}_1 + A_1 \bar{B}_0 \bar{B}_1$$

AB \ CD	00	01	11	10
00				
01	<b>1</b>			
11	<b>1</b>	<b>1</b>		<b>1</b>
10	<b>1</b>	<b>1</b>		

La función para m:

$$m_2 = \bar{A}_0 B_0 + \bar{A}_0 \bar{A}_1 B_0 + \bar{A}_1 B_0 B_1$$

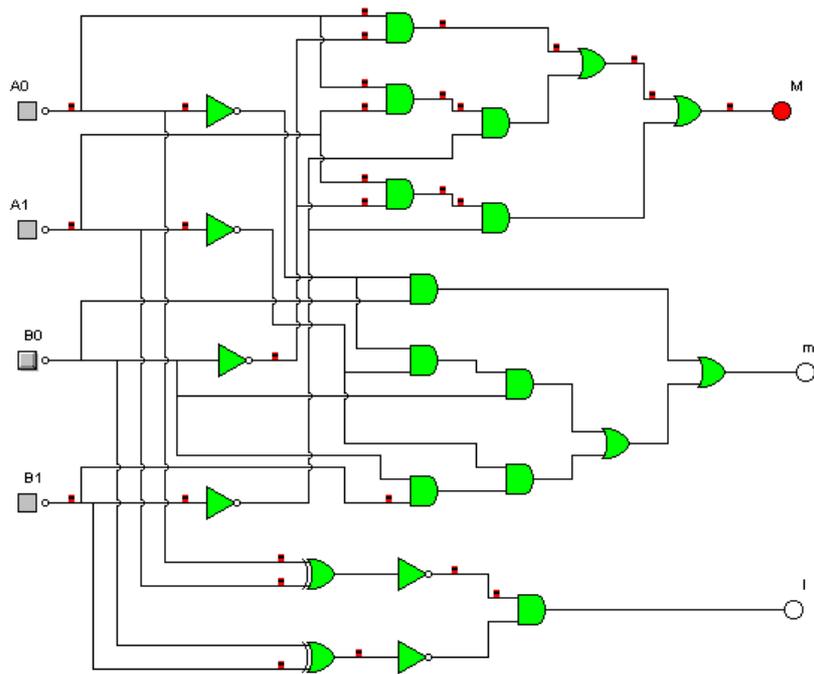
AB \ CD	00	01	11	10
00	<b>1</b>			
01		<b>1</b>		
11			<b>1</b>	
10				<b>1</b>

Esta función lógica no se puede simplificar por Karnaugh, pero operando algebraicamente se obtienen las siguientes simplificaciones:

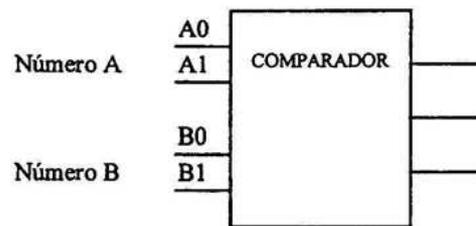
$$I = A_1 B_1 (\bar{A}_0 \bar{B}_0 + A_0 B_0) + \bar{A}_1 \bar{B}_1 (\bar{A}_0 \bar{B}_0 + A_0 B_0)$$

$$I = (A_1 B_1 + \bar{A}_1 \bar{B}_1) (\bar{A}_0 \bar{B}_0 + A_0 B_0) = \overline{(A_1 \oplus B_1)} (\overline{A_0 \oplus B_0})$$

Que al implementar con cualquier tipo de puertas lógicas de dos entradas quedará:



Simbólicamente:



## Ejercicio 2.

Diseñe un circuito combinacional que realice la suma aritmética de dos números binarios, uno de un bit (A) y otro de dos bits (B<sub>1</sub> B<sub>0</sub>), y cuyo resultado también esté dado en binario (S<sub>1</sub> S<sub>0</sub>).

### Solución.

La tabla de verdad sería:

Entradas			Salidas	
B <sub>1</sub>	B <sub>0</sub>	A	S <sub>1</sub>	S <sub>0</sub>
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Las funciones canónicas serían:

$$S_1 = \bar{B}_1 B_0 A + B_1 \bar{B}_0 A + B_1 B_0 \bar{A} + B_1 B_0 A$$

$$S_0 = \bar{B}_1 \bar{B}_0 A + B_1 \bar{B}_0 \bar{A} + B_1 \bar{B}_0 \bar{A} + B_1 B_0 A$$

Los mapas de Karnaugh serán:

	AB	00	01	11	10
C					
0				1	
1			1	1	1

Se pueden hacer tres bolsas de dos celdas con lo que la expresión quedará:

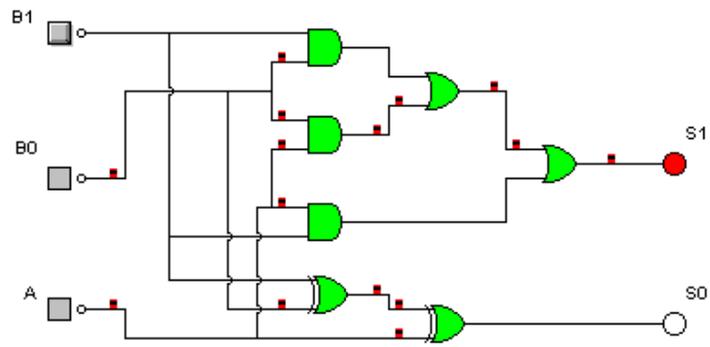
$$S_1 = B_1 B_0 + B_1 A + B_0 A$$

La expresión no se puede simplificar por Karnaugh, pero utilizando métodos algebraicos se obtiene:

$$S_0 = (\bar{B}_1 \bar{B}_0 + B_1 B_0)A + (B_1 \bar{B}_0 + B_1 \bar{B}_0)\bar{A} = (\bar{B}_1 \oplus B_0)A + (B_1 \oplus B_0)\bar{A}$$

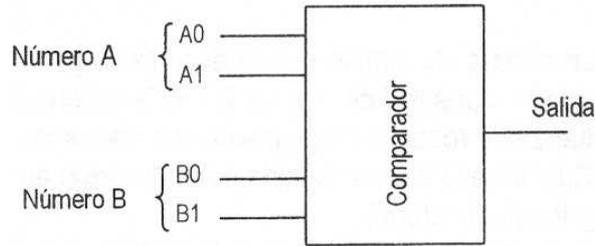
$$S_0 = B_1 \oplus B_0 \oplus A$$

Al implementar el circuito combinatorial quedará:



### Ejercicio 3.

La figura adjunta representa un comparador binario de dos números (A y B), de dos bits cada uno. La salida toma el valor lógico 1 cuando se cumple que  $A \geq B$ .



Se pide:

- Tabla de verdad.
- Función lógica simplificada.
- Circuito simplificado con puertas lógicas de dos entradas.

### Solución.

a) La tabla de verdad será:

A <sub>1</sub>	A <sub>0</sub>	B <sub>1</sub>	B <sub>0</sub>	S	A <sub>1</sub>	A <sub>0</sub>	B <sub>1</sub>	B <sub>0</sub>	S
0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	1	0	0	1	1
0	0	1	0	0	1	0	1	0	0
0	0	1	1	0	1	0	1	1	0
0	1	0	0	1	1	1	0	0	1
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	0	1	1	1	1	0

La función canónica será:

$$S = \bar{A}_1 A_0 \bar{B}_1 \bar{B}_0 + A_1 \bar{A}_0 \bar{B}_1 \bar{B}_0 + A_1 \bar{A}_0 \bar{B}_1 B_0 + A_1 A_0 \bar{B}_1 \bar{B}_0 + A_1 A_0 \bar{B}_1 B_0 + A_1 A_0 B_1 \bar{B}_0$$

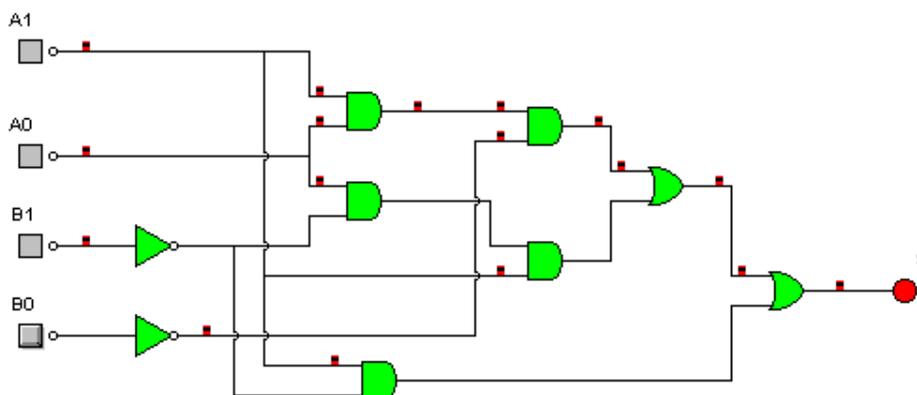
b) El mapa de Karnaugh será:

$A_1A_0$ \ $B_1B_0$	00	01	11	10
00		1	1	1
01			1	1
11				
10			1	

Se puede hacer una bolsa de cuatro celdas y dos bolsas de dos celdas, por lo que la expresión quedará:

$$S = A_1\bar{B}_1 + A_1A_0\bar{B}_0 + A_0\bar{B}_1\bar{B}_0$$

c) Que al implementarse con puertas básicas de dos entradas quedará:



### Ejercicio 4.

Un circuito combinacional consta de dos entradas de datos A y B, dos entradas de selección de operación  $S_1$  y  $S_0$  y una salida Y de un solo bit. Funciona del siguiente modo con las señales  $S_1$  y  $S_0$ , puede seleccionarse la función lógica Y, según la siguiente tabla:

$S_1$	$S_0$	Y
0	0	A+B
0	1	A B
1	0	A'
1	1	B'

Se pide:

- La tabla de verdad.
- La función lógica simplificada mediante Karnaugh.

### Solución.

a) La tabla de verdad sería:

A	B	$S_1$	$S_0$	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
$A_1$	B	$S_1$	$S_0$	Y
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

b) La función canónica sería:

$$Y = \bar{A}\bar{B}S_1\bar{S}_0 + \bar{A}\bar{B}S_1S_0 + \bar{A}B\bar{S}_1\bar{S}_0 + \bar{A}B\bar{S}_1S_0 + A_1\bar{B}\bar{S}_1\bar{S}_0 + A\bar{B}S_1S_0 + AB\bar{S}_1S_0$$

El mapa de Karnaugh será:

<b>AB</b> <b>S<sub>1</sub>S<sub>0</sub></b>	00	01	11	10
00		1		1
01			1	
11	1			1
10	1	1		

Se pueden hacer tres bolsas de dos celdas y quedan dos celdas aisladas, por lo que la simplificación podría dar una expresión como:

$$Y = \bar{A}\bar{B}\bar{S}_0 + \bar{B}S_1S_0 + \bar{A}S_1\bar{S}_0 + AB\bar{S}_1S_0 + A\bar{B}\bar{S}_1\bar{S}_0$$

## Ejercicio 5.

Un circuito digital tiene dos entradas de señal,  $E_0$  y  $E_1$ , una entrada de selección,  $S$ , y una salida,  $F$ , siendo su funcionamiento el siguiente: si  $S = 0$ ,  $F$  toma el mismo valor que  $E_0$ ; si  $S = 1$ ,  $F$  toma el mismo valor que  $E_1$ .

- Obtenga la tabla de verdad de  $F$ .
- Simplifíquela por Karnaugh.
- Obtenga un circuito lógico que realice dicha función con el mínimo número de puertas lógicas.

### Solución.

a) La tabla de verdad será:

Entradas			Salida
$E_1$	$E_0$	$S$	$F$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

La función canónica será:

$$F = \bar{E}_1 E_0 \bar{S} + E_1 \bar{E}_0 S + E_1 E_0 \bar{S} + E_1 E_0 S$$

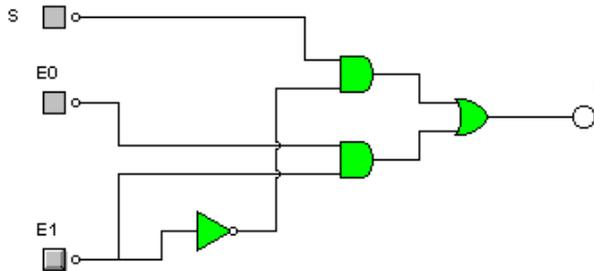
b) El mapa de Karnaugh será:

$S \backslash E_1 E_0$	00	01	11	10
0		1	1	
1			1	1

Se pueden hacer dos bolsas de dos celdas cada una, con lo que quedará la expresión:

$$F = E_0\bar{S} + E_1S$$

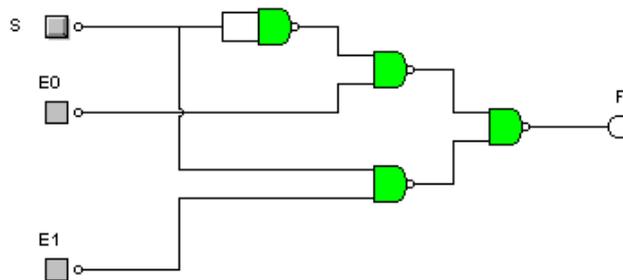
c) Que implementado con cualquier tipo de puertas quedaría:



d) Si queremos implementar el circuito con puertas NAND, negamos dos veces la expresión y aplicamos el teorema de DeMorgan a una de las dos negaciones, con lo que obtenemos la expresión:

$$F = \overline{\overline{E_0\bar{S} + E_1S}} = \overline{\overline{E_0\bar{S}} \cdot \overline{E_1S}}$$

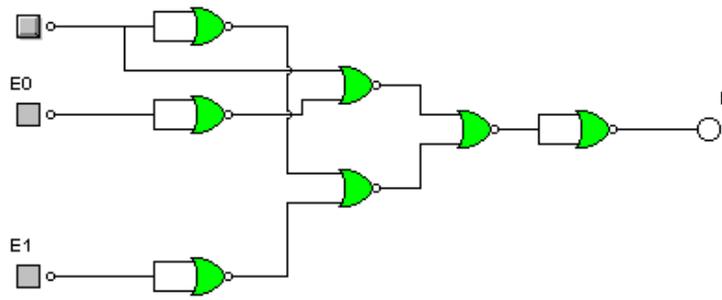
Que una vez implementado quedaría:



e) Si queremos implementar el circuito con puertas NOR, negamos dos veces cada uno de los dos productos y aplicamos el teorema de DeMorgan a una de las dos negaciones. Negamos dos veces toda la expresión y, con lo que obtenemos:

$$F = \overline{\overline{\overline{E_0\bar{S}} + \overline{E_1S}}} = \overline{\overline{\overline{A} + S + \overline{E_1} + \bar{S}}}$$

Que una vez implementado quedaría:



## Ejercicio 6.

Implementación de funciones aritméticas. **Sumador completo.**

Presenta tres entradas, dos correspondientes a los dos bits que se van a sumar y una tercera con el acarreo de la suma anterior. Y tiene dos salidas, el resultado de la suma y el acarreo producido.

### Solución

Su tabla de verdad será:

Entradas			Salidas	
A	B	C <sup>-1</sup>	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Sus funciones canónicas serán:

$$S = \bar{A}\bar{B}C^{-1} + \bar{A}B\overline{C^{-1}} + A\bar{B}\overline{C^{-1}} + ABC^{-1}$$

$$C = \bar{A}BC^{-1} + A\bar{B}C^{-1} + ABC^{-1}$$

Que una vez simplificadas quedarían:

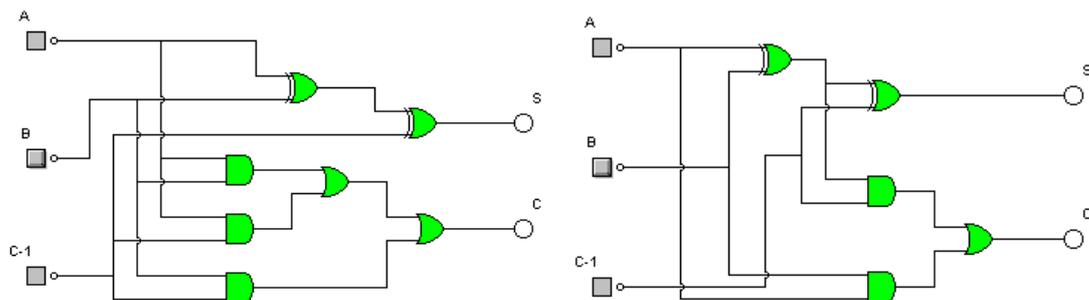
$$S = A \oplus B \oplus C^{-1}$$

$$C = AB + AC^{-1} + BC^{-1}$$

O bien:

$$C = AB + (A \oplus B)C^{-1}$$

Una vez implementado con puertas lógicas el sumador presentaría cualquiera de los siguientes circuitos:



Observando la implementación de la derecha, diremos:

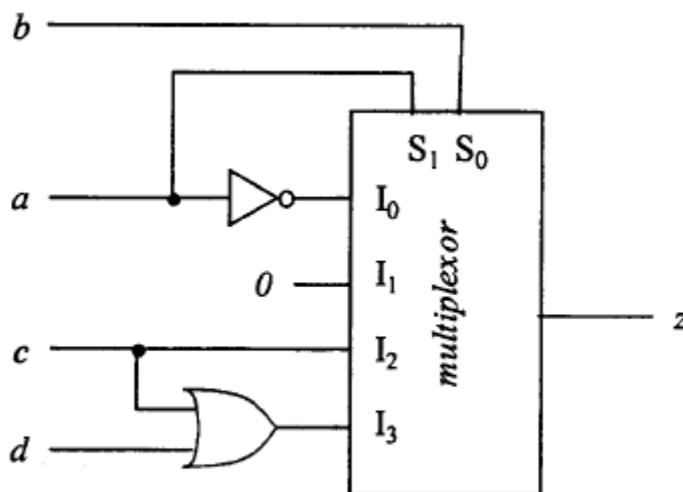
- Para sumar dos bits, se emplea una puerta XOR.
- Para sumar tres bits, se le aplica una vez más la puerta XOR al resultado

$$S = A \oplus B \oplus C^{-1}$$

- El acarreo final será un 1, cuando las dos entradas de la primera puerta XOR son 1, o cuando las dos entradas de la segunda puerta XOR son 1.
- Esto lo podemos conseguir con dos puertas AND en paralelo con ambas entradas, y sumando lógicamente con una puerta OR el resultado de ambas.

## Ejercicio 7.

Obten la tabla de verdad y la función la canónica del circuito mostrado en la figura siguiente y simplifícala por el método de Karnaugh



### Solución.

Para obtener la tabla de verdad debemos observar como se encuentran conectados los terminales del multiplexor y así obtendremos una tabla como sigue:

A	B	C	D	S <sub>1</sub>	S <sub>0</sub>	Z	Z
0	0	0	0	0	0	$\bar{A}$	1
0	0	0	1	0	1	$\bar{A}$	1
0	0	1	0	1	0	$\bar{A}$	1
0	0	1	1	1	1	$\bar{A}$	1
0	1	0	0	0	0	0	0
0	1	0	1	0	1	0	0
0	1	1	0	1	0	0	0
0	1	1	1	1	1	0	0

A	B	C	D	S <sub>1</sub>	S <sub>0</sub>	Z	Z
1	0	0	0	0	0	C	0
1	0	0	1	0	1	C	0
1	0	1	0	1	0	C	1
1	0	1	1	1	1	C	1
1	1	0	0	0	0	C+D	0
1	1	0	1	0	1	C+D	1
1	1	1	0	1	0	C+D	1
1	1	1	1	1	1	C+D	1

b) La función canónica sería:

$$Z = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + A\bar{B}CD + A\bar{B}\bar{C}\bar{D} + A\bar{B}CD$$

El mapa de Karnaugh será:

AB \ CD	00	01	11	10
00	1			
01	1		1	
11	1		1	1
10	1		1	1

Se pueden hacer dos bolsas de cuatro celdas y una bolsa de dos celdas, por lo que la simplificación podría dar una expresión como

$$Z = \bar{A}\bar{B} + AC + ABD$$

## Ejercicio 8.

Un proceso industrial responde a la siguiente tabla de verdad.

Decimales	Entradas			Salida
	C	B	A	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Se desea implementar la función utilizando un decodificador.

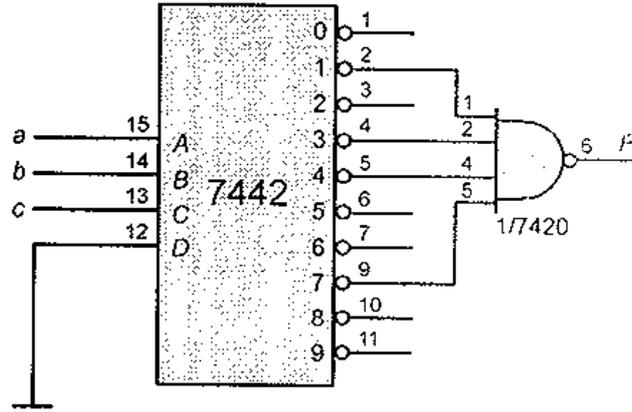
### Solución.

La función canónica la obtenemos de la tabla de verdad:

$$Y = \bar{C}\bar{B}A + \bar{C}BA + C\bar{B}\bar{A} + CBA$$

Cada uno de los términos de esta expresión corresponde con los números decimales 1, 3, 4 y 7, y para configurar esa tabla de verdad solo se necesitan tres variables de entrada, como vamos a emplear un decodificador CI 7442, que tiene cuatro entradas, la de mayor peso la conectamos a masa, con lo que aseguramos un 0 lógico, y tomamos las salidas correspondientes a los decimales que hacen 1 la salida de la función, teniendo en cuenta que en la salida del decodificador, da niveles bajos, por lo que tenemos que construir la función por medio de puertas NAND, llevándolos a cada una de las entradas del CI 7420 que tiene dos puertas NAND de cuatro entradas, de las que emplearemos una.

Por lo que el circuito una vez implementado quedará:



## Ejercicio 9.

Empleando un multiplexor de ocho entradas de información y tres de selección, implementar el circuito lógico que responda a la función lógica:

$$F = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + \bar{A}BCD + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + ABCD + A\bar{B}\bar{C}\bar{D} + ABC\bar{D}$$

### Solución.

Confeccionamos la siguiente tabla, donde se agrupan por columnas todas las posibles combinaciones de tres de las variables de entrada B, C y D, dejando en las filas las posibilidades de la variable que resta A.

A \ BCD	000	001	010	011	100	101	110	111
0	0	1	0	1	1	1	1	1
1	0	1	0	1	0	0	1	0
	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	$\bar{A}$	$\bar{A}$	<b>1</b>	$\bar{A}$
	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>A</b>	<b>A</b>	<b>0</b>	<b>A</b>

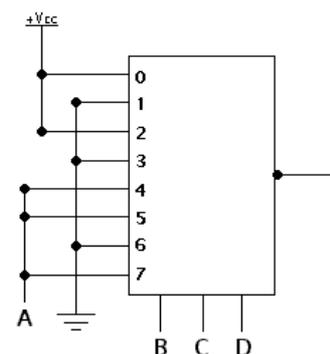
Por tanto, la implementación del circuito se consigue aplicando las variables B, C y D a las tres entradas de selección del multiplexor y conectando las entradas de los canales de la siguiente forma:

- Canales 0 y 3 conectado a 0.
- Canales 1, 3 y 6 conectado a 1.
- Canales 4, 5 y 7 a través de un inversor a la variable A, ya que su valor es siempre el contrario del de dicha variable.

O bien todas las conexiones invertidas, si el multiplexor trabaja con lógica negativa, es decir:

- Canales 0 y 3 conectado a 1 (tensión de alimentación +V<sub>cc</sub>).
- Canales 1, 3 y 6 conectado a 0 (masa).
- Canales 4, 5 y 7 conectado a A.

Quedando el circuito como se muestra en la figura.



## Ejercicio 10.

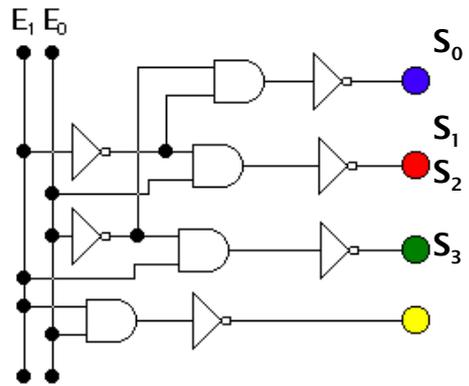
Realizar mediante puertas lógicas un decodificador de dos a cuatro líneas, con entradas en binario natural y salidas activas a nivel bajo.

Si deseamos introducir un “strobe” que permita el funcionamiento del decodificador cuando este dicho “strobe” a nivel bajo, ¿cómo se deberá modificar el circuito?

### Solución

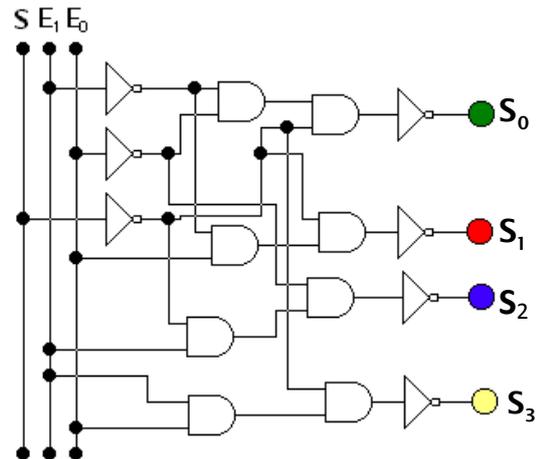
a) Sin Strobe

$E_1$	$E_0$	$S_0$	$S_1$	$S_2$	$S_3$
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0



b) Con Strobe

$E_2$	$E_1$	$E_0$	$S_0$	$S_1$	$S_2$	$S_3$
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0
0	0	0	1	1	1	1
0	0	1	1	1	1	1
0	1	0	1	1	1	1
0	1	1	1	1	1	1



## Problema 11.

Implementar con puertas lógicas de cualquier tipo, de dos entradas, un codificador de 4 líneas a código de exceso de 3 con prioridad a la entrada de mayor peso.

### Solución.

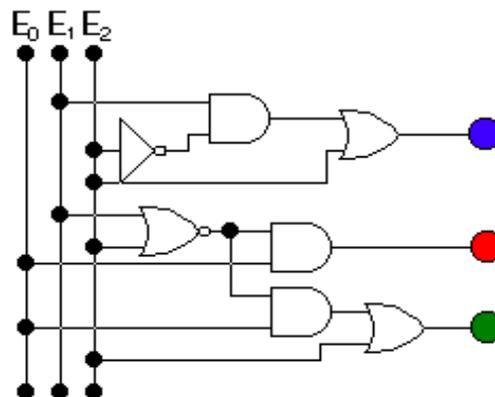
$E_2$	$E_1$	$E_0$	$S_0$	$S_1$	$S_2$	$S_3$
0	0	1	0	0	1	1
0	1	X	0	1	0	0
1	X	X	0	1	0	1

$$S_0 = 0$$

$$S_1 = E_1 \bar{E}_2 + E_2$$

$$S_2 = E_0 \bar{E}_1 \bar{E}_2$$

$$S_3 = E_0 \bar{E}_1 \bar{E}_2 + E_2$$



## Ejercicio 12.

Diseñar y montar mediante puertas lógicas un codificador de 4 líneas a código exceso 3.

### Solución.

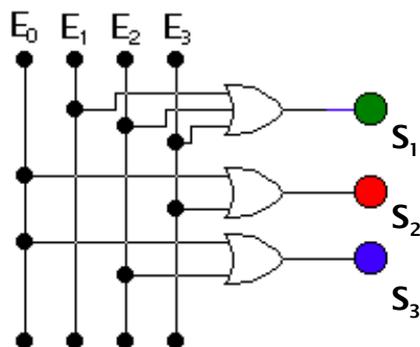
$E_3$	$E_2$	$E_1$	$E_0$	$S_0$	$S_1$	$S_2$	$S_3$
0	0	0	1	0	0	1	1
0	0	1	0	0	1	0	0
0	1	0	0	0	1	0	1
1	0	0	0	0	1	1	0

$$S_0 = 0$$

$$S_1 = E_1 + E_2 + E_3$$

$$S_2 = E_0 + E_3$$

$$S_3 = E_0 + E_2$$



### Ejercicio 13.

Realizar el circuito de una alarma en la que se muestra que sensor de los siete que componen la alarma se ha disparado. La indicación se ha de mostrar en un display de 7 segmentos.

Utilizar el codificador 74147.

Como ejemplo de alarma, montar el circuito de tal manera que se dispare la alarma por el sensor numero 4.

### Solución

E <sub>0</sub>	E <sub>1</sub>	E <sub>2</sub>	E <sub>3</sub>	E <sub>4</sub>	E <sub>5</sub>	E <sub>6</sub>	E <sub>7</sub>	E <sub>8</sub>	E <sub>9</sub>	D	C	B	A
1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	1
X	0	1	1	1	1	1	1	1	1	1	1	1	0
X	X	0	1	1	1	1	1	1	1	1	1	0	1
X	X	X	0	1	1	1	1	1	1	1	1	0	0
X	X	X	X	0	1	1	1	1	1	1	0	1	1
X	X	X	X	X	0	1	1	1	1	1	0	1	0
X	X	X	X	X	X	0	1	1	1	1	0	0	1
X	X	X	X	X	X	X	0	1	1	1	0	0	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1

